

257/783

1

01-235261

Sep. 20, 1989

L1: 3 of 3

SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

INVENTOR: TAKEO YAMADA, et al. (4)
 ASSIGNEE: HITACHI LTD
 APPL NO: 63-62865
 DATE FILED: Mar. 15, 1988
 PATENT ABSTRACTS OF JAPAN
 ABS GRP NO: E860
 ABS VOL NO: Vol. 13, No. 564
 ABS PUB DATE: Dec. 14, 1989
 INT-CL: H01L 23/28; H01L 21/56; H01L 21/60

ABSTRACT:

PURPOSE: To enable a semiconductor chip to be packaged with a sealing package whose size is reduced, by covering the whole region where bump electrodes are provided only with silicon gel for sealing said region.

CONSTITUTION: A semiconductor chip 3 to which a heat conducting area enlarging plate 2 for providing passages for conducting heat generated by a semiconductor chip 3 is attached by means of an adhesive 3b is flip-chip bonded to a multilayer wiring board 1 of ceramics through solder bump electrodes 3a, the multilayer wiring board 1 including predetermined interconnections and passive elements such as resistance or the like and having an externally connecting terminal 1a. A damming resin tape 4 of a polyimide resin for example is affixed around the external periphery between the multilayer wiring board 1 and the heat conducting area enlarging plate 2, by means of an adhesive of a silicone resin for example, whereby a cavity 5 is defined. Silicone gel 6 is injected into the cavity 5 and the region of the solder bump

e

1: 多層配線基板

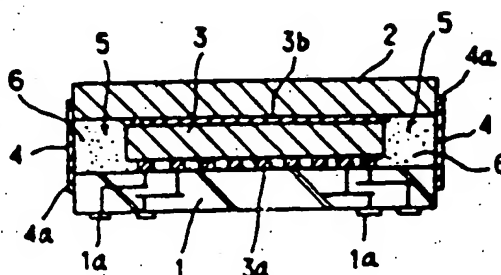
2: 熱伝導面積拡大板

3: 半導体チップ

4: 樹脂テープ

6: シリコンゲル

第 2 図



BEST AVAILABLE COPY

⑫ 公開特許公報(A) 平1-235261

⑤ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)9月20日

H 01 L 23/28
21/56
21/60

Z-6412-5F

R-6412-5F

S-6918-5F 審査請求 未請求 請求項の数 3 (全6頁)

⑭ 発明の名称 半導体装置及びその製造方法

⑯ 特 願 昭63-62865

⑰ 出 願 昭63(1988)3月15日

⑱ 発 明 者 山 田 健 雄 東京都青梅市今井2326番地 株式会社日立製作所デバイス
開発センタ内⑲ 発 明 者 大 塚 寛 治 東京都青梅市今井2326番地 株式会社日立製作所デバイス
開発センタ内⑳ 発 明 者 黒 田 重 雄 東京都青梅市今井2326番地 株式会社日立製作所デバイス
開発センタ内㉑ 発 明 者 斉 藤 俊 哉 東京都青梅市今井2326番地 株式会社日立製作所デバイス
開発センタ内

㉒ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉓ 代 理 人 弁理士 秋田 収 喜
最終頁に続く

明細書

〔産業上の利用分野〕

1. 発明の名称

半導体装置及びその製造方法

本発明は、フリップチップ型半導体装置に関し、特に、小型のフリップチップ型半導体装置のパッケージ及びそのパッケージング技術に適用して有効な技術に関するものである。

2. 特許請求の範囲

〔従来技術〕

1. フリップチップ型半導体装置において、少なくともパンプ電極が設けられている全領域をシリコンゲルのみで覆って封止したことを特徴とする半導体装置。

半導体装置において、そのパッケージは、半導体チップとぎりぎりに設けることが理想であるが、パッケージの封止幅が必要である。例えば、半導体チップの周囲にシリコンゲルを注入するためのダムを設けて樹脂注入後、ダムに機械的保護のためのキャップを取り付けていた。

2. フリップチップ型半導体装置において、半導体チップの臨動領域と反対の表面に熱伝導面積拡大板を設けたことを特徴とする特許請求の範囲第1項に記載の半導体装置。

〔発明が解決しようとする課題〕

3. 半導体チップにパンプ電極を形成する工程と、該突起電極を配線基板に取り付ける工程と、前記配線基板の周辺部外側面全域又はその一部にダム用テープを設ける工程と、該ダム用テープで囲んだ内部にシリコンゲルを注入する工程と、該シリコンゲルを加熱硬化する工程とからなることを特徴とする半導体装置の製造方法。

しかしながら、発明者の検討によれば、既存の技術では、パッケージの小型化について配慮がされておらず、ダムの大きさの分だけパッケージが大型化するという問題があった。

本発明の目的は、同一の半導体チップに対してその封止用パッケージを小型にすることができる技術を提供することにある。

3. 発明の詳細な説明

本発明の他の目的は、半導体装置の実装密度を大きくすることができる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

〔課題を解決するための手段〕

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、フリップチップ型半導体装置において、少なくともパンプ電極が設けられている全領域をシリコンゲルのみで覆って封止したものである。

また、半導体チップにパンプ電極を形成する工程と、該突起電極を配線基板に取り付ける工程と、前記配線基板の周辺部の外側面全域又はその一部にダム用テープを設ける工程と、該ダム用テープで囲んだ内部にシリコンゲルを注入する工程と、該シリコンゲルを加熱硬化する工程とからなる

半導体装置の製造方法である。

〔作用〕

前述の手段によれば、少なくともパンプ電極が設けられている全領域をシリコンゲルのみで覆って封止することにより、従来のダムを設けて封止するパッケージに比べて封止用の幅が不要となるので、同一の半導体チップに対してその封止用パッケージを小型にすることができる。これにより半導体装置の実装密度を大きくすることができる。

また、前記配線基板の周辺部の外側面全域又はその一部にダム用テープを設け、該ダム用テープで囲んだ内部にシリコンゲルを注入し、該シリコンゲルを加熱硬化することにより、パッケージの寸法を大きくすることなく、パンプ電極が設けられている全領域にシリコンゲルを容易に配置して封止することができる。

以下、本発明の一実施例を図面に基づいて詳細に説明する。

なお、実施例を説明するための全図において、

同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

〔実施例1〕

第1図は、本発明の実施例1の半導体装置の外観概略構成を示す斜視図であり、第2図は、第1図のII-II線で切断した断面図である。

本実施例1の半導体は、第1図及び第2図において、所定の配線及び抵抗等の受動素子を組み込んだ外部接続端子1aを持つセラミックから成る多層配線基板1に、半導体チップ3から発生する熱の伝導路を形成するための熱伝導面積拡大板2を接着剤3bで取り付け付けた半導体チップ3が、半田パンプ電極(パンプ電極)3aを介してフリップチップ接続されている。

更に、多層配線基板1と熱伝導面積拡大板2との間の外側部には、例えばポリイミド系樹脂からなるダム用樹脂テープ4(以下、樹脂テープという)が、例えばシリコン系樹脂からなる接着剤4aを介して張り渡されて、キャビティ5が形成され、このキャビティ5の内部にシリコンゲル

6が注入され、半田パンプ電極3a部が封止されている。

前記多層配線基板1は、第3図に示すように、厚膜配線基板(約1mm)101と薄膜配線部102からなっている。厚膜配線基板101は、例えばムライトセラミックスからなるグリーンシート101aに、例えばタングステンからなる配線101bがメタライズされ、各層間の配線101bは、スルーホール101cにより電気的に接続され、積層された後焼結されて形成される。

そして、この厚膜配線基板101の配線101bの上にNi-B101dをメッキし、その上に例えばアルミニウムからなる第1層目配線102a(約4μm)が設けられ、その上に例えばポリイミド系樹脂からなる絶縁膜102bが設けられ、その上に例えばアルミニウムからなる第2層目配線102c(約4μm)が設けられる。そして、第2層目配線102cと第1層目配線102aとがスルーホール102dを介して電気的に接続される。同様にして第3層目配線102e、第4層目配線102fが設けられる。第4層

目配線102fの上にポリイミド系樹脂からなる絶縁膜102bが設けられた後、スルーホール102dが設けられ、スルーホール102dを介して第4層目配線102fの上にCr層(約1 μ m)102gが設けられ、その上にNi-Cu層(約1 μ m)102hが設けられ、その上に半田バンプ電極3aが設けられる。この半田バンプ電極3aと導体チップ3の上に設けられている半田バンプ電極3aとがリフローにより電氣的に接続される。

前記熱伝導面積拡大板2は、例えば窒化アルミニウム(AlN)、炭化シリコン(SiC:少量のベリリアが入っている)等の熱伝導の良い絶縁材料を用いる。また、熱伝導面積拡大板2と半導体チップ3とを接着するための接着剤3bとしては、例えばPb/Sn系(Pb90/Sn10)の半田、Au/Sn(共晶:Au80/Sn20)等のろう材を用いる。

前記フリップチップ接続では、半田バンプ電極3aに加わるひずみとその寿命を低下させる原因となるが、多層配線基板1と熱伝導面積拡大板2

3aが形成される。その後ダイシングして半導体チップ3が分離される。この半導体チップ3は、接着剤(ろう材)3bを300~350℃の温度で10秒間熱処理することによって熱伝導面積拡大板2に接着される。次に、多層配線基板1の上に設けられている半田バンプ電極3aと半導体チップ3の上に設けられている半田バンプ電極3aとに例えばロジン系のフラックスが塗布された後、両者の位置合せをして300℃以上の温度で2分以下の時間リフローされる。

次に、多層配線基板1と熱伝導面積拡大板2との間の外側部に、例えばシリコン系樹脂からなる接着剤4aが内側に塗布された、例えばポリイミド系樹脂からなる樹脂テープ4が張り渡され、機械的に押し付けられて接着される。この樹脂テープ4により形成されたキャビティ5内部に、注射針等でシリコンゲル6が注入された後、150℃の温度で30分間ベークし、200℃の温度で2時間ポストベークされて半田バンプ電極3aが封止される。

を結合している樹脂テープ4は比較的薄いため、多層配線基板1及び熱伝導面積拡大板2を引き離す方向の力はほとんど発生しないので、半田バンプ電極3aの樹脂テープ4を取り付けたことによる寿命低下を防止することができる。

また、樹脂テープ4は、シリコン系樹脂からなる接着剤4aにより目止めがされているため、硬化処理前の流動性の高いシリコンゲル6であっても外に漏れ出ることがない。このシリコンゲル6は脱泡処理後、硬化処理するが、樹脂テープ4は耐熱性の高い材料であるため、硬化処理時の高温にも耐えることができる。

また、樹脂テープ4は薄いため、多層配線基板1及び熱伝導面積拡大板2の全周に渡って巻き付けてある樹脂テープ4の極一部にシリコンゲル注入用注射針により穴をあけてシリコンゲルを容易に注入することができる。

次に、本実施例1の半導体装置の組立方法を簡単に説明する。

まず、半導体ウエハ状態で前記半田バンプ電極

また、シリコンゲル注入をより容易にするため、前記樹脂テープ4を多層配線基板1及び熱伝導面積拡大板2の全周に渡っては巻かず、一部を開口部としてもよい。また、樹脂テープ4はキャビティ5内のシリコンゲル硬化後に取り外してもよい。

そして、第4図に示すように、本実施例1の半導体装置100は、マルチチップモジュール200の中に複数個設けられる。半導体装置100は、例えばムライト(3Al₂O₃・2SiO₂)からなるモジュール基板(セラミック基板)201の上に複数個搭載されている。また、半導体装置100の熱伝導面積拡大板2の上面には、くし歯型下部放熱部材203とこれに嵌合するくし歯型上部放熱部材204を介してモジュールキャップ202により冷却されている。モジュールキャップ202は例えば銅(Cu)とモリブデン(Mo)の合金からなり、くし歯型下部放熱部材203及びくし歯型上部放熱部材204は例えばアルミニウム(Al)からなっている。205はモジュールキャップ202に設けられている流路であ

り、この中を冷却水206が流れるようになっている。モジュールキャップ202の側部は、例えば半田からなる封止接着剤(ろう材)207によってモジュール基板201に取り付けられている。208はモジュール基板201に設けられた入出力ピンである。このマルチチップモジュール200は、第5図に示したように、多層プリント基板300上に多数実装される。

マルチチップモジュール200の多層プリント基板300上への実装は、前記入出力ピン208を多層プリント基板300の穴(図示していない)に差し込むか、あるいはプリント基板300上に取り付けられたソケットに入出力ピン208を差し込むことにより行う。301は冷却パイプであり、この冷却パイプ301から前記モジュールキャップ202の流路205に前記冷却水206を流すことができるようになっている。

以上の説明からわかるように、本実施例によれば、半田バンプ電極3aが設けられている全領域をシリコングル6のみで覆って封止することに

じみ出し及びシリコングルの汚染に対して有利である。

これらのことから、半導体装置100の信頼性を向上することができる。

(実施例Ⅱ)

第6図は、本発明の実施例Ⅱの半導体装置の概略構成を説明するための断面図である。

本実施例Ⅱは、第6図に示すように、前記実施例Ⅰの熱伝導面積拡大板2が取り外されたものである。

すなわち、シリコングル6を収容するためのキャビティ10は、多層配線基板1の外周部に樹脂テープ4を張りめぐらすことにより形成される。このキャビティ10は、半導体チップ3側に開口部を持っているので、そのキャビティ10にシリコングル6を容易に注入することができる。

以上、本発明を実施例にもとづき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

より、従来のダムを設けて封止するパッケージに比べて封止用の幅が不要となるので、同一の半導体チップ3に対するパッケージを小型にすることができる。これにより半導体装置の実装密度を大きくすることができる。

また、前記多層配線基板1の周辺部全域にダム用の樹脂テープ4を張り渡してシリコングル6の収容のためのキャビティ5を形成し、該キャビティ5の内部にシリコングル6を注入し、該シリコングル6を加熱硬化することにより、半田バンプ電極3aが設けられている全領域に、容易にシリコングル6を配置して封止することができる。

また、樹脂テープ4を多層配線基板1と半導体チップ3の熱伝導面積拡大板2との間に張り渡して、シリコングル収容用のキャビティ5を形成するため、半田バンプ電極3aに引張り応力がほとんどかからず、半田バンプ電極3aの劣化を招くことがない。また、パッケージ周囲を樹脂テープ4で覆ってしまうため、シリコングル6の

(発明の効果)

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

少なくともバンプ電極が設けられている全領域をシリコングルのみで覆って封止することにより、従来のダムを設けて封止するパッケージに比べて封止用の幅が不要となるので、同一の半導体チップに対して、その封止用パッケージを小型にすることができる。これにより半導体装置の実装密度を大きくすることができる。

4. 図面の簡単な説明

第1図は、本発明の実施例Ⅰの半導体装置の外観概略構成を示す斜視図。

第2図は、第1図のⅡ-Ⅱ線で切断した断面図。

第3図は、第1図に示す多層配線基板の概略構成を説明するための断面図。

第4図は、第1図に示す半導体装置をマルチチップモジュールに組み込んだ例を示す断面図。

第5図は、第4図に示すマルチチップモジュール

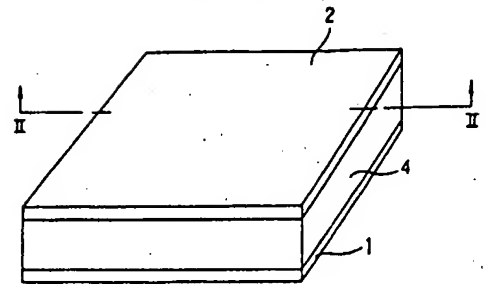
ルを多層プリント基板上に多数実装した例を示す斜視図。

第6図は、本発明の実施例Ⅱの半導体装置の概略構成を説明するための断面図である。

図中、1…多層配線基板、1a…外部接続端子、2…熱伝導面積拡大板、3…半導体チップ、3a…半田パンプ電極、4…樹脂テープ、3b、4a…接着剤、5、10…キャビティ、6…シリコンゲルである。

代理人 弁理士 秋田収喜

第1図



1: 多層配線基板

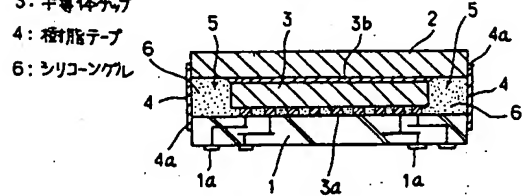
2: 熱伝導面積拡大板

3: 半導体チップ

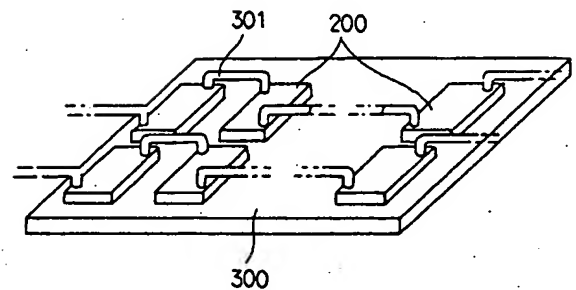
4: 樹脂テープ

6: シリコンゲル

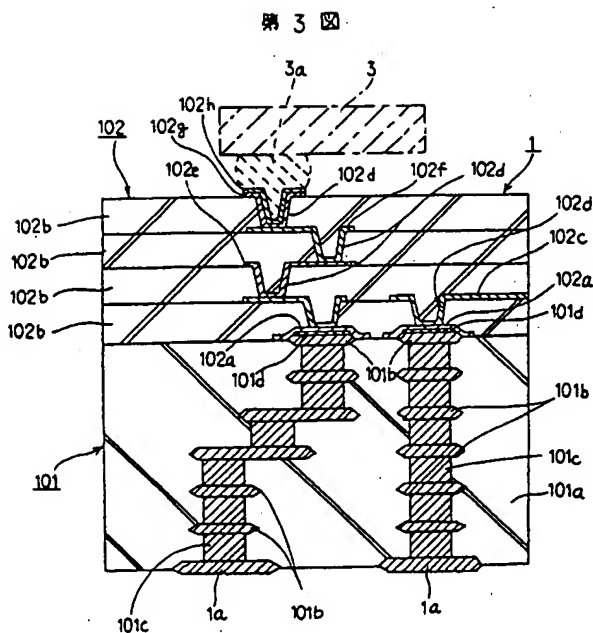
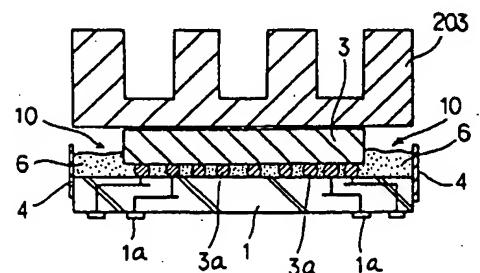
第2図



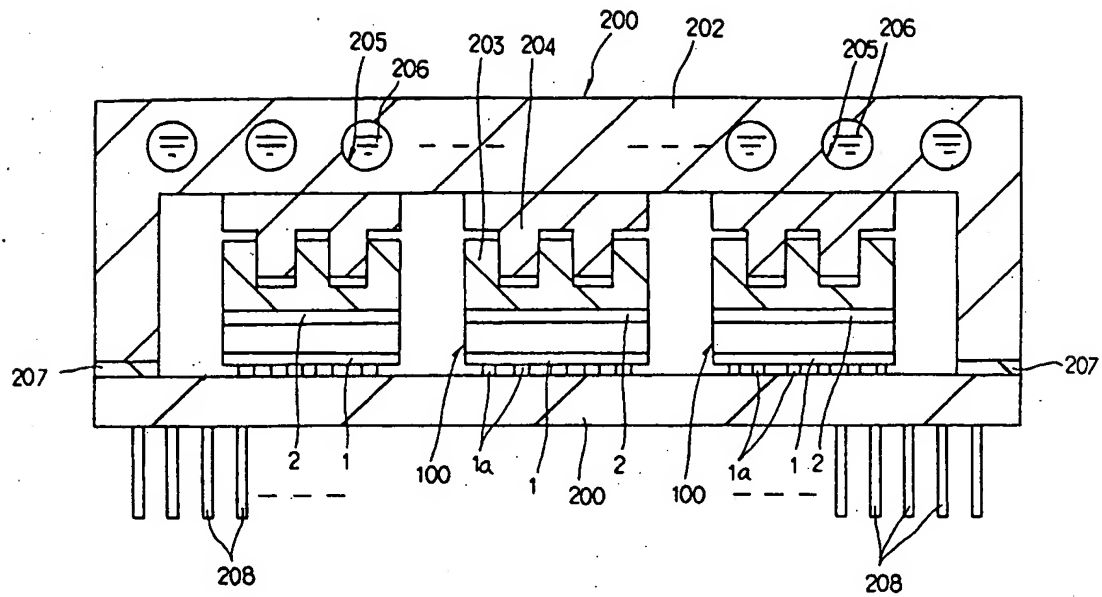
第5図



第6図



第4図



第1頁の続き

⑦発明者 佐原 邦造 東京都青梅市今井2326番地 株式会社日立製作所デバイス
開発センタ内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.